

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05114800 A**

(43) Date of publication of application: **07.05.93**

(51) Int. Cl.

H05K 13/04
H01L 27/14

(21) Application number: **03308683**

(22) Date of filing: **25.11.91**

(30) Priority: **23.08.91 JP 03211846**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor:
FURUYAMA HIDETO
SAKAGUCHI MAYUMI
HAMAZAKI HIROSHI
KURODA FUMIHIKO
NAKAMURA MASARU

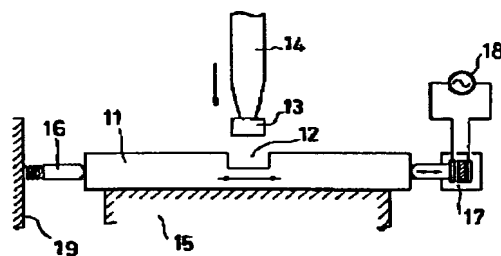
**(54) ELECTRONIC COMPONENT MOUNTING
METHOD AND DEVICE**

(57) Abstract:

PURPOSE: To provide a mounting method through which an electronic device can be enhanced in manufacturing yield and reliability and electronic components can be substantially mounted in the recess of a mounting base in a self-aligned manner without making a clearance large between the electronic component and the recess of the mounting base.

CONSTITUTION: When a semiconductor chip 13 processed into a rectangular shape is mounted in a rectangular recess 12 provided to a mounting base 11, the electronic component, 13 is fitted into the recess 12 first, and then fine vibrations induced by ultrasonic waves are applied to the mounting base 11 to surely set the electronic component 13 in the recess 12 at a predetermined position.

COPYRIGHT: (C)1993,JPO&Japio



(11)特許出願公開番号

(43)公開日 平成5年(1993)5月7日

D

審査請求 未請求 請求項の数 5 (全 11 頁)

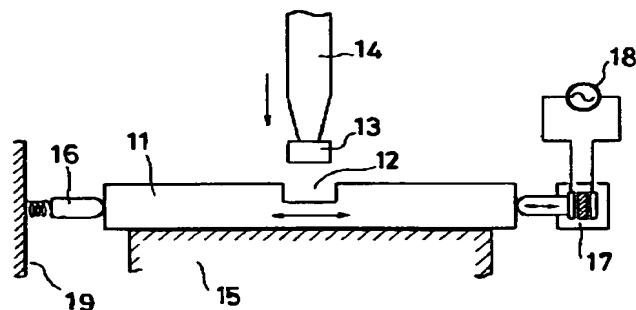
[最終頁に続く](#)

(54)【発明の名称】 電子部品の実装方法及び実装装置

(57) 【要約】

【目的】 電子部品と実装基体の凹部とのクリアランスを大きくすることなく、電子部品を実装基体の凹部に確実に搭載することができ、実質的なセルフアライメント実装を可能として、製造歩留まり及び信頼性の向上等をはかり得る電子部品の実装方法を提供すること。

【構成】 矩形形状に加工された半導体チップ 13 を、実装基体 11 に設けた矩形形状の凹部 12 に搭載するに際し、電子部品 13 を凹部 12 内に挿入した後、実装基体 11 に超音波による微小振動を印加して、電子部品 13 を凹部 12 の決められた位置に確実にセットすることを特徴とする。



【特許請求の範囲】

【請求項1】所定形状に加工された電子部品を、実装基体に設けた凹部に搭載するに際し、前記実装基体及び前記電子部品の少なくとも一方に微小振動を印加して、前記電子部品の前記凹部への挿入を行うことを特徴とする電子部品の実装方法。

【請求項2】所定形状に加工された電子部品を、実装基体に設けた凹部に搭載するに際し、前記実装基体の凹部に内接し且つ前記電子部品に外接する位置決め手段を用い、該位置決め手段及び前記実装基体の少くとも一方に微小振動を印加して、前記電子部品の前記凹部への挿入、位置決めを行うことを特徴とする電子部品の実装方法。

【請求項3】所定形状に加工された電子部品を、実装基体に設けた凹部に搭載するに際し、前記電子部品を前記凹部に挿入した後、前記凹部の側面と前記電子部品との間に所定の表面張力を有する材料を充填し、次いで前記電子部品を前記凹部の底面に接合することを特徴とする電子部品の実装方法。

【請求項4】アライメント用及び接続用の電極が設けられた電子部品をアライメント用及び接続用の電極が設けられた実装基体に搭載するに際し、前記電子部品の接続用電極と前記実装基体の接続用電極とを非接触の状態
40 で、前記電子部品のアライメント用電極と前記実装基体のアライメント用電極とをアライメント用メタルバンプを介して接触させ、所定の温度で熱処理して前記電子部品と実装基体のアライメントを行い、次いで前記電子部品と実装基体を圧接して前記電子部品の接続用電極と前記実装基体の接続用電極とを半田材料により半田接続することを特徴とする電子部品の実装方法。

【請求項5】所定形状に加工された電子部品を搭載するための凹部が形成された実装基体を保持する保持手段と、前記電子部品を保持し前記実装基体の凹部に移動する移動手段と、前記実装基体及び前記電子部品の少なくとも一方に微小振動を与える振動発生手段とを具備してなることを特徴とする電子部品の実装装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子部品を実装基体に搭載するための実装技術に係わり、特に機械的セルフアライメントを利用した電子部品の実装方法及び実装装置に関する。

【0002】

【従来の技術】ICチップのフリップチップ実装や光通信用光半導体素子の光軸調整等においては、機械的な位置アライメントが必要である。特に、アレイ化光ファイバとアレイ化光素子との光軸調整等においては、 X 、 Y 、 Z の3軸とそれぞれの軸に対する回転軸（ θ_x 、 θ_y 、 θ_z ）の合計6軸を調整する必要が生じる。このような機械的アライメント工程は、アライメント精度の確

保や維持に多大な労力を要し、またアライメントに要する時間が過剰なコストとなるため、その簡略化、特にセルフアライメント化が強く望まれている。

【0003】図15は、このような考慮によるセルフアライメント化が施された実装例である（特開昭61-87113号公報）。図中1はSi基板（実装基体）、2は光導波路、3、4は光導波路2と同時に形成されたホルダー部、5は半導体チップ（発光素子）、6は球状レンズである。この例では、Si基板1の上に光導波路材料を平坦的に積層し、2～4のそれぞれの機能部を一括してフォトリソグラフィにより形成している。このため、光導波路2と各ホルダー部3、4とは正確に光軸が合わされており、発光素子5及び球状レンズ6をそれぞれのホルダー部3、4に嵌め込むことでセルフアライメントな実装が可能になる。

【0004】ところがこの種の方法は、原理的にセルフアライメント化が可能であるが、実際には十分なセルフアライメント化が実現されてはいなかった。以下、この問題について、発光素子のような半導体チップとそのホルダーとの組み立てを例にとりて説明する。なお、ここでは2次元的な断面図で示すが、3次元的にも同様な問題が生じることを先に付記しておく。

【0005】図16（a）はほぼ理想的な組立てが行われた場合の断面図を示しており、7は加熱溶融後に固化された半田材である。この図において、 d_1 、 d_2 は半導体チップ5とホルダー部3とのクリアランスであり、完全なセルフアライメントを行うためにはこのクリアランスが零になることが望ましい。しかしながら、実際にはそれぞれの部材の熱膨張係数や半田の毛細管現象によるせり上り等を考慮して、僅かにクリアランス（以下、 d_1 と d_2 の合計値で示す）を設ける必要がある。

【0006】従来、このような実装組立ては実装基体を保持固定して半導体チップ5を真空吸着等で保持移動、装着して行われているが、この組立て歩留まりに前記したクリアランスが大きく影響していた。即ち、クリアランスが $10\sim 20\mu\text{m}$ と狭い場合、図16（b）に示したように半導体チップ5をホルダー部3内に挿入することが難しくなるため、半導体チップ5の引っ掛かり等による傾き、割れ等の障害が起き易かった。また、クリアランスが小さい場合、半導体チップ5の引っ掛かりがなくてもホルダー部3と半導体チップ5の側面が局所的に接触して固定され局所的な応力を生じることが多かった。このため、クリアランスの小さな場合にはアライメントの精度は向上し易いものの、組立ての歩留まりや実装後の半導体チップ5の信頼性が低下し易いという問題があった。

【0007】一方、半導体チップ5の引っ掛かりやホルダー部3との局所的な接触を避けるため、前記したクリアランスを大きく（例えば $50\sim 100\mu\text{m}$ ）とった場合、図16（c）に示したように本来の目的のセルフア

ライメント化が薄れてしまうという問題があった。即ち、クリアランスの大きな場合、半導体チップ5とホルダー部3との組立てアライメントが最大でクリアランス分だけ誤差を生じてしまい、更には半導体チップ5の搭載角度（チップ5の搭載面内方向における傾き）も誤差が生じ易くなるという問題があった。このため、半導体チップ5とホルダー部3とのクリアランスを大きくすることは、図15のようなセルフアライメント化の技術を形骸化してしまうことにも等しいことである。

【0008】図16(b)(c)のような両極端の問題を考慮してクリアランスの最適化を試みた場合においても、依然セルフアライメントの精度という観点においては問題があった。つまり、クリアランスを例えば30～40 μm とした場合、アライメントの精度としては $\pm 15 \sim 20 \mu\text{m}$ の最大誤差を有しており、光ファイバと発光素子のようなアライメントでの許容誤差（例えばシングルモードファイバで $\pm 2 \sim 5 \mu\text{m}$ ）には適用が困難であった。セルフアライメントの誤差としては、発光素子と光ファイバのような場合も考慮して $\pm 5 \mu\text{m}$ 以下が必要である。

【0009】図16(d)は同図(b)(c)のような従来技術の問題を緩和する意味でやや有効と言える方法の例であり、ホルダー部3の側面をテーパ形状にした従来技術の例である。テーパ形状にする手法としては、切削加工やSi等の結晶を基体として異方性エッチング加工を行う等の方法がある。

【0010】このような方法によれば、ホルダー部3の底面のクリアランスを10 μm 程度と小さくしても、前述したような半導体チップ5の側面とホルダー部3との局所的な接触による応力発生を少くでき、比較的セルフアライメントとしての適用性が高まる利点を持っている。しかしながら、このような技術をもってしても、図16(d)に示すような半導体チップ5の傾き等の組立て不良は抑制され難く、むしろ傾き等の不良が確認し難くなるため半導体チップへの応力が信頼性試験等での大量不良発生につながるというような問題があった。

【0011】一方、所謂メタルバンプの調心効果によりICチップを位置合わせする試みもなされている。これは、ICチップの電極パッド及び実装基体の電極に比較的低融点の金属塊（メタルバンプ）を形成しておき、両者の接続と適度な熱処理により電気的な接続を行う方法である。この熱処理の際、溶融したメタルバンプが表面張力により変形し、両者の電極を同一軸状に配列させるよう作用する（調心効果）。このような方法によりICチップ等を実装基体の所定位置にアライメント実装したり、非常に微細なピッチの配線を接続できるようになる。

【0012】しかしながら、この方法ではメタルバンプの表面張力を利用しているために、ICチップと実装基体との間には空隙が必要であり、ICチップで発生する

熱を実装基体へ速やかに放熱することが難しくなる。従って、発熱の大きなICチップに対しては単純に適用できず、ICチップの裏面に放熱体等を装着する必要性が生じてくる。また、メタルバンプはICチップ内の配線メタル等に影響がでないよう比較的低融点の金属を用いるのが一般的であり、このため使用温度が比較的低いものや発熱の比較的少ないものに対してしか適用できない。

【0013】

【発明が解決しようとする課題】このように従来技術では、半導体チップ等の電子部品と実装基体の凹部とのクリアランスを大きくすると、セルフアライメント化の実現が困難となり、またクリアランスを小さくすると、組立ての歩留まりや実装後の電子部品の信頼性低下を招く問題があった。また、メタルバンプの調心効果を利用しても、チップからの放熱が困難であり、広く一般的な利用が困難であるという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、電子部品と実装基体の凹部とのクリアランスを大きくすることなく、電子部品を実装基体の凹部に確実に搭載することができ、実質的なセルフアライメント実装を可能として、製造歩留まり及び信頼性の向上等をはかり得る電子部品の実装方法及び実装装置を提供することにある。

【0015】また、本発明の他の目的は、メタルバンプによる調心効果を用いてセルフアライメント実装を可能として、且つ実装する電子部品の放熱を一般の半田実装と同様に行うことのできる電子部品の実装方法を提供することにある。

【0016】

【課題を解決するための手段】本発明の骨子は、セルフアライメント機構を有する実装体の組立てにおいて、実装基体の凹部クリアランスを狭く形成しておき、半導体チップ等の電子部品を振動を利用して凹部に確実に挿入することにある。

【0017】即ち本発明（請求項1）は、所定形状に加工された電子部品を、実装基体に設けた凹部に搭載する電子部品の実装方法において、実装基体及び電子部品の少なくとも一方に微小振動を印加して、電子部品の凹部への挿入を行うことを特徴とする。

【0018】また本発明（請求項2）は、所定形状に加工された電子部品を、実装基体に設けた凹部に搭載する電子部品の実装方法において、実装基体の凹部に内接し且つ電子部品に外接する位置決め治具を用い、該位置決め治具及び実装基体の少なくとも一方に微小振動を印加して、電子部品の凹部への挿入、位置決めを行うことを特徴とする。

【0019】また本発明（請求項3）は、所定形状に加工された電子部品を、実装基体に設けた凹部に搭載する電子部品の実装方法において、電子部品を凹部に挿入した後に、凹部の側面と電子部品との間に所定の表面張力

を有する部材を充填し、次いで電子部品を凹部の底面に接合することを特徴とする。

【0020】また本発明（請求項4）は、アライメント用及び接続用の電極が設けられた電子部品をアライメント用及び接続用の電極が設けられた実装基体に搭載する電子部品の実装方法において、電子部品の接続用電極と実装基体の接続用電極とを接触させない状態で、電子部品のアライメント用電極と実装基体のアライメント用電極とをアライメント用メタルバンプを介して接触させ、所定の温度で熱処理して電子部品と実装基体のアライメントを行い、次いで電子部品と実装基体を圧接して電子部品の接続用電極と実装基体の接続用電極とを半田材料により半田接続することを特徴とする。

【0021】また本発明（請求項5）は、上記方法（請求項1, 2）に使用する電子部品の実装装置において、実装基体を保持する保持機構と、電子部品を保持して実装基体の凹部に移動する移動機構と、実装基体及び電子部品の少なくとも一方に微小振動を与える振動発生機構とを具備してなることを特徴とする。

【0022】さらにまた、本発明の望ましい実施態様としては、次の(1)～(5)が上げられる。

(1) 請求項1において、実装基体の凹部と電子部品との組み合わせ部分が $10\mu\text{m}$ 以下のクリアランスであること。

(2) 請求項2において、実装基体の凹部と電子部品の近接するクリアランスが $10\mu\text{m}$ 以上であること。

(3) 請求項2において、実装基体の凹部を、開口側が広がったテーパ状断面を有するように形成したこと。

(4) 請求項5において、振動発生機構は、電気的振動を機械的振動に変換する電磁振動子又は圧電振動子からなること。

(5) 請求項5において、振動発生機構は、超音波振動を付与するものであること。

【0023】

【作用】本発明（請求項1, 2, 5）によれば、電子部品及び実装基体の少なくとも一方に微小振動を付与することにより、電子部品と凹部とのクリアランスが小さくても、電子部品の引っ掛かりをなくして、電子部品を正常な位置に確実にセットすることができる。また、本発明（請求項3）によれば、電子部品と凹部とのクリアランスが大きくても、表面張力を有する部材の調心効果により電子部品を正常な位置に確実にセットすることができる。さらに、本発明（請求項4）によれば、メタルバンプの調心効果を用いて電子部品を正常な位置に確実にセットしながら、一般の半田実装と同様に電子部品の放熱を行うことができる。

【0024】つまり、機械的セルフアライメント機構を有する各種電子部品実装体のセルフアライメント効果を最大限に発揮させることが可能となり、精密な位置合わせが必要な電子部品実装体の大幅な位置合せ精度向上と

工程簡略化、更には大幅な信頼性向上と低価格化が可能になる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0026】なお、以下の実施例では、電子部品の例として従来例と同様な半導体チップを用いて説明するが、これはマイクロレンズ、光ファイバ、チップ受動部品等、他の電子部品についても同様に実施可能である。また、凹部を有する実装基体も特に限定されるものではなく、Si基板、金属基板、セラミック基板等用途に応じて選定すればよいものである。

【0027】図1は、本発明の第1の実施例に係わる電子部品の実装装置を示す概略構成図であり、実装基体の側部から微小振動を与えるようにした例である。微小振動は側面からだけではなく上面或いは下面というような他の面から加えてもよい。図中11はSi基板からなる実装基体であり、この実装基体11の上面にはドライエッチングにより凹部12が設けられている。13は凹部12に搭載すべき半導体チップ（電子部品）であり、14は電子部品13を支持して実装基体11側に移動する支持移動体である。なお、支持移動体14は、例えば真空吸着キャピラリーを移動機構に取り付けたものである。

【0028】15は実装基体11を載置する支持台であり、この支持台15には実装基体11の加熱が可能のようにヒータ（図示せず）が取り付けられている。16は実装基体11を横方向に支持する支持部で、例えばバネによる押付け機構を有するものである。17は支持部16を介して実装基体11に微小振動を与える微小振動発生器であり、例えば電磁石及び鉄片による振動器或いは圧電トランスジューサやフェライト振動子等の電気音響変換器で構成されている。18は微小振動発生器17を駆動するための交流発生器、19は固定壁である。

【0029】この装置は概略的な構成のみ説明しているが、図示した以外にはモニター系、加熱電源系、キャピラリー加圧調整系、周囲ガス導入系等の付加は勿論可能であり、これらの制御系やその自動化装置等の装着も可能である。

【0030】次に、上記の実装装置を用いた組立て工程について説明していく。最初に実装基体11の支持台15への装着を行い、支持部16により支持する。このとき、実装基体11の支持は図に示す方法だけではなく、例えば上面からの押え付けや下面からの真空吸着或いはこれらの複合的な方法であってもよい。

【0031】次いで、電子部品13を支持移動体14により実装基体11の凹部12に移送する。その後、交流発生器18を動作させ、実装基体11に微小振動を付与して実装基体11に電子部品13の挿入を行う。このとき、電子部品13を支持移動機構14に吸着（支持）さ

せたまま挿入する方法と、電子部品13を一旦凹部12上又は近傍に乗せて支持移動体14の吸着(支持)を解放してやる方法と、の2通りの方法を用いることができる。

【0032】前者の方法では挿入に要する時間が短く、挿入し損う確率が低いという利点を有するが、この方法では半導体チップのような破損し易い電子部品13が微小振動によりその端部或いは支持移動体14との接触部で欠損等の障害を生じる可能性がある。一方、後者の方法ではまれに電子部品13が凹部12に挿入されず実装基体11上をすべり移動するという問題があるものの、電子部品13の欠損等が少いという利点がある。これらの方法は実装する電子部品の種類、性質等により適宜使

いなければよい。

【0033】このようにして電子部品13の挿入が終了した後、交流発生器18を停止させて、或いは場合によっては交流発生器18を動作させたまま、支持移動体14又は別途用意した圧力印加機構により電子部品13への圧力印加を行って、支持台15のヒータにより半田材の加熱溶融と冷却固化による半田固定を行う。なお、電子部品13の固定は半田による固定以外の方法でもよく、例えば熱硬化性樹脂や紫外線硬化性樹脂で熱硬化や紫外線照射硬化等の手法を用いてもよい。

【0034】この実装組立て工程の具体的な例を図2を参照して示す。図2は、図1で示した装置と方法により半導体チップ13の挿入を行った断面図である。ここでは、図15の従来例と同様な例として、半導体チップ(例えば半導体レーザ素子)をSiを基体とするホルダー部に挿入する例を示す。実装基体11はn型の低抵抗Si基板であり、このSi基板にSiO₂、Si₃N₄多層膜マスクを設け、CF₄+O₂ガスによるドライエッチング(約50μm)を行って凹部12(ホルダー部)が形成される。凹部12の大きさは半導体チップ挿入部で305μm×405μmとなるようにマスクサイズを設定した。また、半導体チップ13はGaInAsP/InP系半導体レーザ素子を用い厚さ約100μm、大きさが300μm×400μmと凹部12とのクリアランスがそれぞれ5μm程度となるようにスクライプ装置を用いて切り出した。

【0035】実装基体11の凹部12には、Au、Sn、Auを多層蒸着(Sn約20%)で約2μmの厚さにリフトオフ法を用いて形成し、半導体チップ固定用の半田材20とした。このようにして形成した実装基体11に半導体チップ13をアップサイドアップで乗せたところ、大部分の半導体チップは図2に破線で示した13'のように不完全な挿入状態となっていた。その後、半導体チップ13の吸着を解放した状態で実装基体11への微小振動印加を行ったところ、殆ど全てのチップ13が図2に実線で示したように正常な挿入状態となった。このとき印加した微小振動は50Hzで、振幅が約2μm

となるような振動である。

【0036】微小振動はその振動周波数を変えても挿入状態に大きな変化はなく、殆どが正常な挿入状態となった。一部挿入不良となったものは、半導体チップ13の切り出し形状の不良によるものであることも分かった。

【0037】ここで、微小振動は更に高周波の領域のものであってもよく、特に20kHz以上の所謂超音波振動は人間の可聴領域外であり、機械的微小振動により生じる装置音障害、即ち装置作業者に与える聴覚的不快感等が殆どなく、また装置設置場所の消音又は防音設備が不要になる等の利点がある。また、微小振動の振幅は10μm以下の振幅値であれば、作業者及び周囲装置等への影響を抑制することができる。超音波領域での微小振動印加としては、例えば60kHzで振幅約1μmの振動を加える。このときの挿入状態も殆ど前記した挿入状態と遜色のないものであった。なお、これらの微小振動はその振動方向、振動伝搬状態、振動波形等を任意に設定することが可能であり、振動周波数、振幅或いはこれらの時間的変動等と合わせて適用する実装基体、電子部品等の材質、形状等に合わせて適時選定すればよいものである。

【0038】しかる後、約10gのチップ押圧を加えながら、水素20%を含ませた窒素雰囲気中で約350℃の加熱処理を行い、半田材20による半導体チップ固定を行った。固定後の半導体チップアライメントの状態は、チップ切り出しが小さくなった不良チップを除いて実装基体のホルダー部中心に対して半導体チップの中心がいずれの方向にも±2μm程度の誤差に収まっていた。また、実装された半導体レーザ素子のプローバテストの結果では、実装前の特性と遜色のない特性が得られていた。

【0039】このように本実施例によれば、電子部品13を実装基体11の凹部12に移送した状態で、微小振動発生器17により実装基体11を微小振動させることにより、図2に破線で示すような傾き不良等を招くことなく、図2に実線で示すように電子部品13を凹部12に正常に設置することができる。このため、凹部クリアランスを小さくすることができ、アライメント精度の向上をはかり生産性の向上をはかることができる。

【0040】図3は、本発明の第2の実施例を説明するためのもので、半導体チップ13を挿入する凹部12をテーパ形状に形成した例を示す断面構成図である。この実施例の利点は、凹部12の入口が広くなるため半導体チップ13の仮搭載が容易になることと、凹部12がテーパ形状を持つため微小振動の印加による半導体チップ13の凹部底部への移動がスムーズに行われ易いことである。また、クリアランスの狭い部分が凹部底部のみにできるため、半田付の加熱溶融の際に半田材の毛細管現象による半導体チップ側面へのせり上りを防止することができる。

【0041】この実施例における実装基体11について具体的に説明を行う。ここでは、実装基体11は、Si基板11₁及び11₃とSiO₂スペーサ11₂により構成されている。その理由として、テーパ形状の形成では加工深さの精度により凹部底部の大きさ（加工精度）が決定し、狭いクリアランスの凹部を形成するためにはその加工深さを精密に制御する必要があるからである。

【0042】図3に示したようなSiO₂膜を中間に有するSi接着基板の作製には、所謂直接接着法を用いることができる。即ち、鏡面研磨、清浄化処理した2枚のSi基板11₁、11₃を張り合わせ、高温熱処理を加えて原子レベルでの直接接着を行わせる方法である。この方法により11₁が250μm、11₂が2μm、11₃が200μmとなる厚さの基板を形成する。結晶方位としてSi基板面を(100)とし、凹部12を<011>及び<011>方向に合わせて595μm×695μmの大きさのSiO₂マスク(窓)を形成する。しかる後、80~90℃のKOH水溶液でのSiO₂膜11₂が露出するまで化学エッチングを施し、続いて弗化アンモニウム溶液を用いてSiO₂膜11₂を化学エッチングする。このようにして凹部12の底部が305μm×405μm、テーパ角度が約54°の実装基体11を形成することができる。

【0043】ここで、図3の実装基体11では中間層としてのSiO₂膜11₂を選択的に後退、即ち選択エッチングすることが可能であり、SiO₂膜11₂を適度にオーバーエッチングさせることで余分な半田材を吸収させる半田量調整機構として利用することも可能である。

【0044】以上の実施例では2次元的な断面図で説明してきたが、本発明を更に有効に用いるための実施例を次に示す。図4は、本発明の第3の実施例を説明するためのもので、半導体チップを挿入する凹部を示す平面図である。この実施例は、半導体チップ等の実装のための改良を加えた例である。

【0045】一般に、半導体チップのような電子部品13は前述したスクライブやダイシング等の方法で切り出しが行われる。その際、切り出しの途中の面は比較的良質な切出しが行われるが、切り出しの境界部分、例えば半導体チップ13の角の部分には所謂バリや形状的な変形を生じることがある。これは数μmのアライメント精度が要求されるような場合においては形状不良的な障害となることが多い。

【0046】図4の実施例では、このような問題に対してクリアランスの狭い部分を半導体チップ13の角の部分を選けて設け、即ち凹部12の半導体チップ13の4隅に対する部分を外側に広げて形成し、半導体チップ13の挿入不良やアライメント不良の発生を抑制するようにしたものである。また、上記のような問題に対しては、図5に示すようにクリアランスの狭い部分を複数の

点接触状にすることも有効である。

【0047】なお、本発明の微小振動印加による電子部品の挿入においては実装する電子部品に対する実装基体のホルダー部クリアランスが重要であり、クリアランスの大きな場合には従来技術の図16(c)のようなアライメント精度の低下が起こり易い。特にこれは、微小振動により御小部品の移動が容易となっているため、クリアランスの大きな場合には片寄った位置に固定される割合が大きくなるためである。このため、前述した各実施例の場合には、電子部品と実装基体の凹部とのアライメントのクリアランスは10μm以下となっていることが望ましい。これによりアライメント誤差は±5μm以下が達成され、従来例で説明したようなシングルモード光ファイバと発光素子のアライメント等にも適用可能になる。

【0048】図6は、本発明の第4の実施例を説明するためのもので、半導体チップを挿入するための凹部をテーパ形状に形成した例を示す断面構成図である。この実施例は、実装基体と電子部品の熱膨張係数の差が大きい場合等に、電子部品の挿入時に補助的に位置決め治具を用いることであり、アライメントのためのクリアランスを極端に狭くすることなくセルフアライメント効果を高めるものである。この実施例では、クリアランスが十分広くとれるため、実装基体と電子部品の熱膨張係数の差が大きい場合、例えば金属の実装基体とガラスのレンズのような場合でも電子部品と実装基体との接触による温度依存性(例えば光軸変動による特性変化)等を抑制することができる。

【0049】図6に示した位置決め治具21は、例えばSiのエッチング加工を用いて形成し、実装基体11の凹部12の内側と電子部品13の外側に接するよう適時その大きさ及び形状を決めて用いる。また、その組立て方法としては、電子部品13を仮搭載した後に、電子部品13の上に位置決め治具21を乗せ、前述した実施例と同様に微小振動を加えることで所定の位置決めが達成されるものである。また、位置決め治具21に真空吸着のための吸着穴22を設けることにより、位置決め治具21と電子部品13を同時に支持移動させることも可能である。

【0050】なお、図6の実施例においては、位置決め治具21の中間挿入を行う必要があり、位置決め治具21の加工限界と強度を考慮して広めのクリアランスに設計することが望ましく、クリアランスは10μm以上の大きさが必要になる。

【0051】次に、本発明の第5~第7の実施例について説明する。これらの実施例は、微小振動を利用した第1~第4の実施例とは異なり、メタルの調心効果を利用して電子部品の正確な位置決めを行うものである。

【0052】まず、第5の実施例について図7~図12を参照して説明する。図7は、実装基体及びチップを示

す斜視図である。2枚のSiウェハ31, 33をSiO₂膜32を介して接着した接着基板30を所定の位置で切断してサブマウントとするのであるが、切断前にサブマウントの所定の位置に凹部34を設けておく。凹部34の位置及び大きさは、通常のマスク合わせ工程及びエッチング工程によって正確に制御できる。また、間に挟んだSiO₂膜32によってエッチングが停止するので、凹部34の深さも正確に制御できる。

【0053】そして、凹部34の底面に露呈したSiO₂膜32を弗酸など除去した後、この接着基板30を所定の位置で切断し、凹部34に半導体チップ37を嵌め込むようにマウントする。半導体チップ37は凹部34の側面で位置合わせされるので、サブマウント内でX、Y、Zの3軸方向共に、正確な位置及び向きにマウントされる。しかも、Siは熱伝導率及び電気伝導率が高いので、放熱及び電極確保も問題ない。なお、図7において35は半導体チップ37にボンディングワイヤ等で接続される配線、38は凹部34の斜面（側面テーパ部）を示している。図8は、図7に示したSiサブマウント30の凹部34に、半導体レーザなどの半導体チップ37を嵌め込んだ状態の、X軸方向の断面図である。チップ37と側面38x₁, 38x₂との間に流体状の部材41を挿入して充填すると、流体状部材41の表面張力によって、チップ37は両側面38間の正確な位置に保持される。この状態で上からチップ37に圧力を加え、チップ37の下面及び凹部34の底面に装着されたハンダ材42を加熱して、熔融接合する。この方法によれば、チップ37と側面38x₁, 38x₂とのクリアランスをある程度広く取れるので、チップ37の挿入が容易となり、かつチップ37の自動的な位置合せが可能となる。

【0054】挿入される流体状部材41としては、水やアルコールの様な液体を用いて、位置合わせ後に蒸発させてもよいが、硬化性の樹脂等を用いて常に充填しておくのも、チップのパッシベーションの意味で効果的である。更には、熔融した低融点金属や導電性樹脂を用いると、電気的にも熱的にも接触抵抗が減少するので、一層効果が高い。低融点金属を挿入する方法としては、るつぽで熔融して流し込む方法、ショット状或いは粉体状にして充填し、加熱して熔融する方法の他、図9に示すように側面にInやAuSn等の低融点金属44を1～5

μmと厚く蒸着しておき、チップ37の挿入後、加熱熔融して流し込む方法もある。

【0055】Y軸方向の位置合わせ方法としては、図10に示すように側面38y₁に対向して上向きの側面38y₂を設けることも可能であるが、図11に示すようにチップ37の下に切り欠き状の側面38zを設けてもよい。この場合の流体の挿入方法としては、図12に示すように、サブマウント30の凹部34の底面に複数の溝45を形成し、位置合わせ板46を当てがって、側面38zの側から流体を流し込むのが最も容易である。この

とき、位置合わせ板46にも溝を形成しておき、余分な流体はこの溝を通して流出させることも可能である。

【0056】このように本実施例によれば、半導体チップ37と凹部34の側面38との間に挿入された部材41は、所定の表面張力を有するために、半導体チップ37を側面38に引き寄せる働きをする。従って、側面38を所定の位置に形成しておれば、半導体チップ37は側面38に対して自動的に位置合わせされる。

【0057】図13は、本発明の第6の実施例方法を説明するための工程図である。この実施例は、半導体チップの位置合わせ方法として、メタルバンプを介した方法である。

【0058】まず、図13(a)に示すように、チップ37の裏面電極67にパターニングを施して半田材66を被着させ、一部領域にバンプ63を形成する。基板30側にも同様のパターニング及びバンプ形成しておく。バンプ63としては、In基やSn基の低融点合金（例えば38%PbのSnPb合金；融点183℃）を用い、金属の濡れ難い材料（例えばSiO₂）で所定量分離して約20μmの直径となるように形成する。また、半田材66にはバンプ材に用いる金属より高融点の半田（例えば20%SnのAuSn半田；融点280℃）を用い、バンプの設けられている部分を除いて形成する。

【0059】次いで、図13(b)に示すように、これらバンプ63同士を対向させて接合し、さらにチップ37をフリー状態にしてバンプ材の融点より高い温度（例えば230℃）に昇温すると、メタル調心効果でチップ37は本来接続されるべき位置に自動的に運ばれる。その後更に、温度を半田材の融点より高い温度（例えば320℃）に上昇させ、上方よりチップ37へ圧力を印加すると、図13(c)に示すようにバンプ63は押し潰されて半田材66同士が融合し、チップ37と基板30とがチップ37の下面ほぼ全域に亘って密着接合される。

【0060】このように比較的小さなバンプで位置決めを行うことでアライメントの誤差（位置ずれ）を小さくでき、例えば1μm以下の精度で位置決めできるようになる。しかも、半田材によりチップのほぼ全面が接合されるため熱的及び電気的抵抗は小さく、且つまた半田材に高融点の材料を用いることができるため、通常の半田実装の場合と遜色ない温度特性と放熱特性が得られるようになる。ここでバンプ63、半田材66は必ずしもチップ及び基板の両方に設ける必要はなく、少なくともどちらか一方に設け、他方のバンプ接触部分が所定の領域に規定されていれば良いものである。また、半田材の厚さがバンプの厚さより薄い場合、熱処理の温度を初めから半田材の融点以上に設定しておいても構わなく、半田材とバンプ材を同じ材料で構成しても構わない。更に、半田材部分を単にメタライズとしておき、押し潰されるバンプ63がチップ37の下面全面に回り込むようにし

て、バンプと半田材とを兼用させることも可能である。

【0061】上記の実施例の他に、バンプ領域と半田領域は電氣的に分離してそれぞれ独立の電極とすることも可能である。例えば図14(a)に示すようにICチップ37'表面に絶縁とパッシベーションを兼ねた誘電膜68を形成し、67'のパッド部分にバンプ電極或いはバンプ用金属67''を形成し、ICの能動(発熱)領域69の部分にメタライズ67を形成してフェースダウンでフリップチップ接続及び半田接続を行う。その結果、従来のIC実装では得られなかった非常に大きな放熱特性が得られ、しかも非常に微細なピッチの配線70を接続することができる。

【0062】また、図14(b)に示すようなアレイ発光素子37''の能動領域69'にそれぞれ電極67、実装基体30の配線70にバンプ63、配線70'に半田材66を設け、アレイチップ37''の両端部分(例えば設置電極)でフリップチップ接続、能動領域69'部分で半田接続として位置決め精度と放熱性の両方を確保する場合にも有効である。

【0063】上述したメタル調芯効果を利用した第6の実施例方法は、平坦な基板上ばかりでなく、図7で説明したような穴の底面にも適用でき、前述の第5の実施例方法と併用することも可能である。また、第5の実施例方法においても、場合によっては位置合わせされるべき側面は一面でも可能であるし、側面同士が必ずしも直角に交わっている必要もない。いずれにせよチップは平面に対して密着接合されるので、チップで発熱する熱は容易に放熱される。

【0064】なお、本発明は上述した各実施例に限定されるものではない。凹部に実装する半導体チップは半導体レーザに限るものではなく、機械的精密アライメントを必要とする各種の半導体素子に適用することができる。さらに、半導体チップに限らず、光学素子その他、各種の電子部品に適用することも可能である。また、第1～第4の実施例では実装基体側を微小振動させたが、電子部品側を微小振動させるようにしてもよいし、両方を微小振動させるようにしてもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0065】

【発明の効果】以上詳述したように本発明によれば、微小振動又は表面張力を有する部材の調心効果を利用することにより、機械的精密アライメントを必要とする電子部品の凹部へのセルフアライメント実装が容易となり、またそのアライメント精度を飛躍的に向上させることが

可能となるため、光伝送モジュールや高速ハイブリッドIC等の格段の生産性向上と低価格化に寄与することができる。

【図面の簡単な説明】

【図1】第1の実施例に使用した電子部品の実装装置を示す概略構成図、

【図2】第1の実施例における電子部品の挿入状態を示す断面図、

10 【図3】第2の実施例における電子部品の挿入状態を示す断面図、

【図4】第3の実施例における電子部品の挿入状態を示す平面図、

【図5】第3の実施例における微小部品の挿入状態を示す平面図、

【図6】第4の実施例における微小部品の挿入状態を示す断面図、

【図7】第5の実施例における実装基体及び電子部品の配置例を示す斜視図、

20 【図8】第5の実施例における電子部品の挿入状態を示す断面図、

【図9】第5の実施例における電子部品の挿入状態を示す断面図、

【図10】第5の実施例における電子部品の挿入状態を示す断面図、

【図11】第5の実施例における電子部品の挿入状態を示す断面図、

【図12】第5の実施例における凹部の側面形状を示す斜視図、

30 【図13】第6の実施例における電子部品の実装工程を示す斜視図及び断面図、

【図14】第6の実施例の変形例を示す断面図、

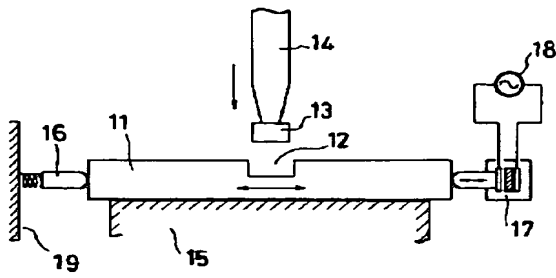
【図15】従来方法におけるホルダー部及び電子部品の配置例を示す斜視図、

【図16】従来方法の問題点を説明するための断面図。

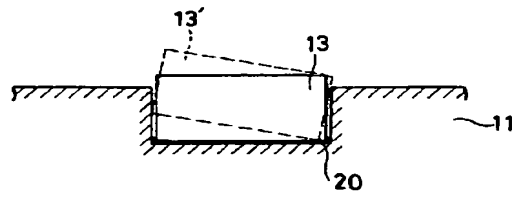
【符号の説明】

- 11…実装基体、
- 12…凹部(ホルダー部)、
- 13……半導体チップ(電子部品)、
- 14…支持移動体(押しつけ機構)、
- 40 15…支持台、
- 16…支持部、
- 17…微小振動発生器、
- 18…交流発生器、
- 19…固定壁、
- 20 20…半田材。

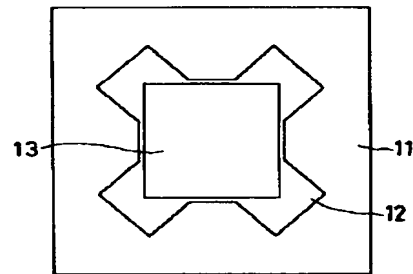
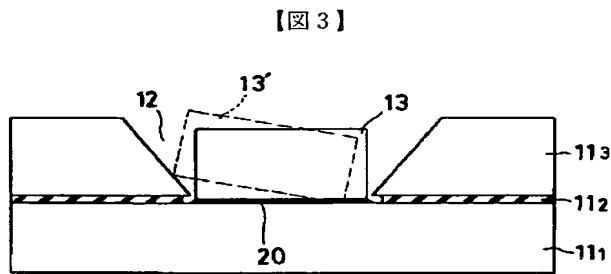
【図 1】



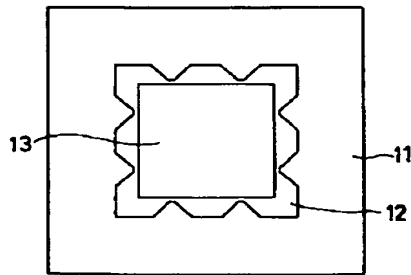
【図 2】



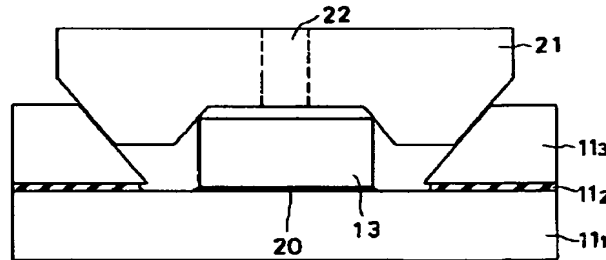
【図 4】



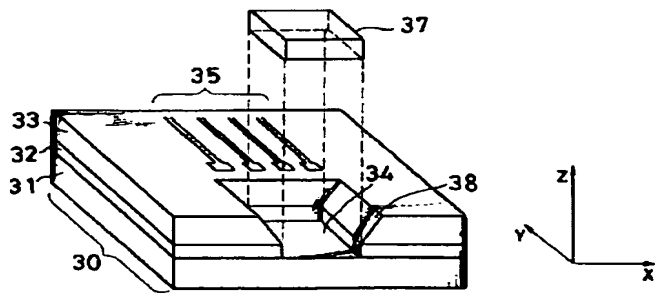
【図 5】



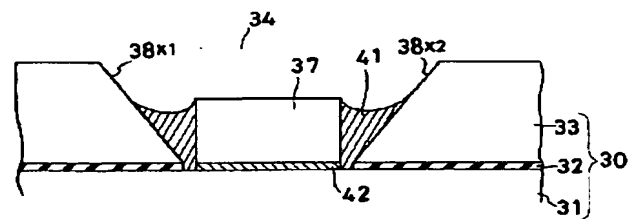
【図 6】



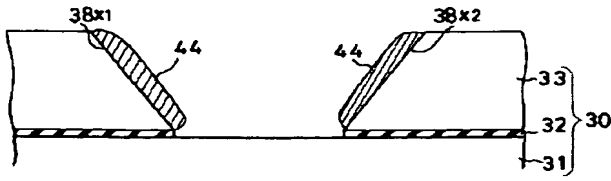
【図 7】



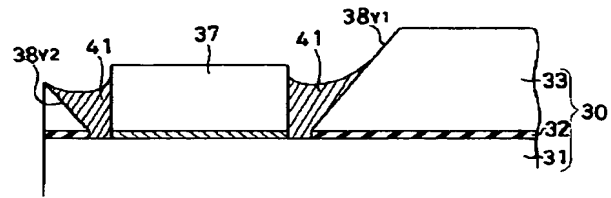
【図 8】



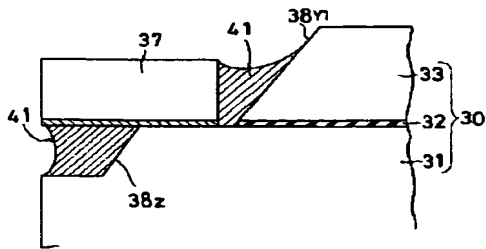
【図9】



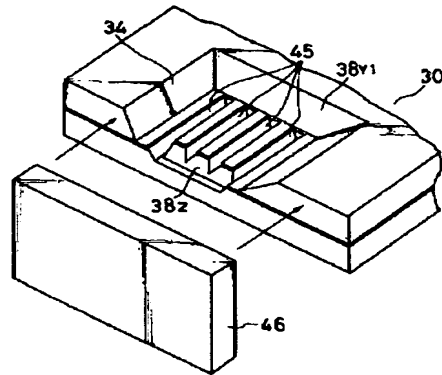
【図10】



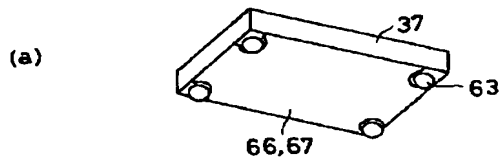
【図11】



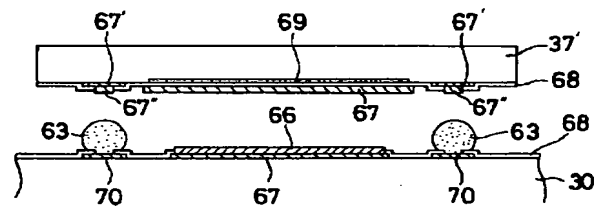
【図12】



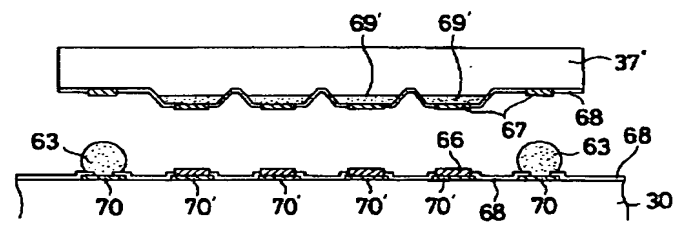
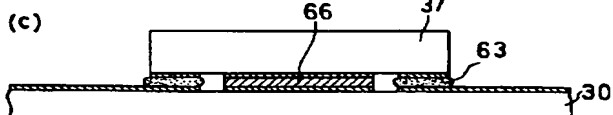
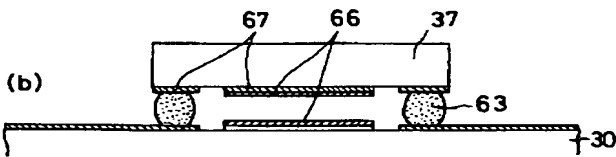
【図13】



【図14】

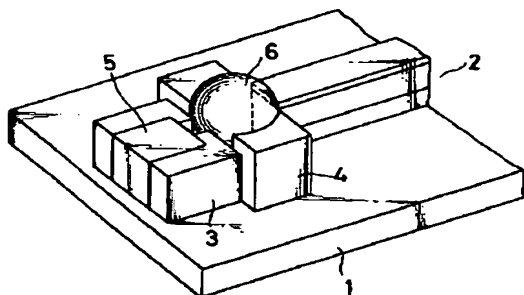


(a)

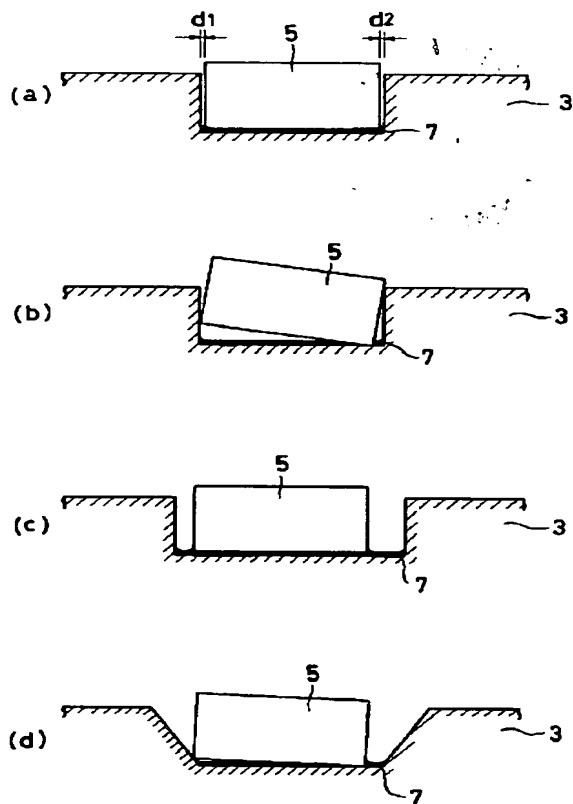


(b)

【図 15】



【図 16】



フロントページの続き

(72) 発明者 黒田 文彦
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝総合研究所内

(72) 発明者 中村 優
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝総合研究所内